

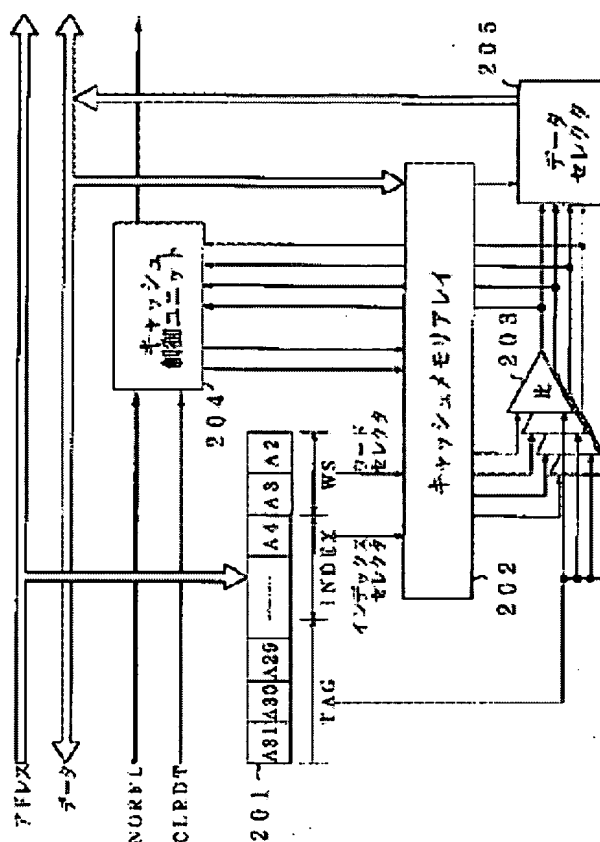
CACHE DEVICE

Patent number: JP2001222467
Publication date: 2001-08-17
Inventor: KODAMA MASAYOSHI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - international: G06F12/08; G06F9/34
 - european:
Application number: JP20000029340 20000207
Priority number(s):

Abstract of JP2001222467

PROBLEM TO BE SOLVED: To reduce the quantity of data transfer between a main memory and a cache memory and to reduce overhead due to the use of an external bus when registers are continuously retreated/restored to/from a stack area in a microprocessor loaded with a cache mechanism.

SOLUTION: When the registers are continuously retreated to the stack, a memory control device writes data from a processor core to the cache memory without executing refilling processing from the main memory to the cache memory. When the registers are continuously restored from the stack, the memory control device forcibly clears a dirty bit on a hit cache entry simultaneously with the reading of data from the cache memory by the processor core. Consequently, the retreating/restoring processing of registers to/from the stack area can be accelerated.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-222467

(P2001-222467A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl.⁷

G 0 6 F 12/08

識別記号

3 1 0

9/34

3 4 0

F I

G 0 6 F 12/08

9/34

審査請求 未請求 請求項の数 7 O L (全 8 頁)

テームコード(参考)

U 5 B 0 0 5

B 5 B 0 3 3

E

3 1 0 A

3 4 0 A

(21) 出願番号

特願2000-29340(P2000-29340)

(22) 出願日

平成12年2月7日(2000.2.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小玉 将義

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100084364

弁理士 岡本 宜喜

Fターム(参考) 5B005 JJ12 KK12 LL00 MM01 NN01

NN45 PP03

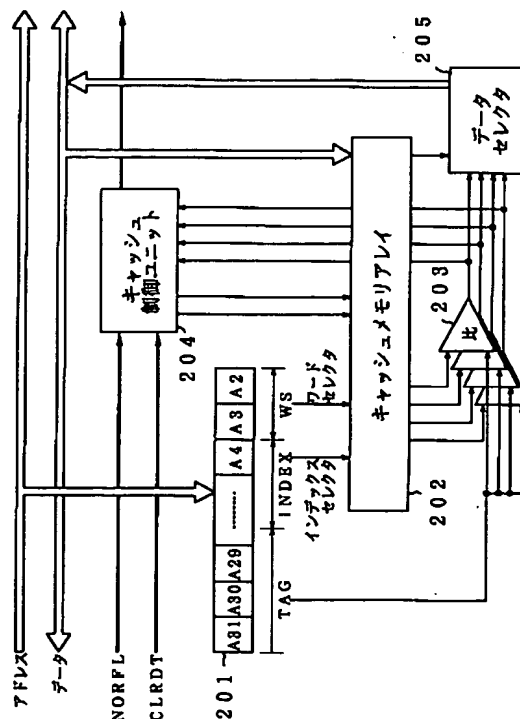
5B033 AA04 DB12 DE02

(54) 【発明の名称】 キャッシュ装置

(57) 【要約】

【課題】 キャッシュ機構を実装したマイクロプロセッサにおいて、スタック領域への連続的なレジスタ待避・復帰時の、主メモリとキャッシュメモリ間のデータ転送量を削減し、外部バス使用によるオーバーヘッドを減少する。

【解決手段】 メモリ制御装置はスタックへの連続的なレジスタ待避時に、主メモリからキャッシュメモリへのリフィル処理を行うことなくプロセッサコアからキャッシュメモリへのデータ書き込みを実現する。又メモリ制御装置はスタックからの連続的なレジスタ復帰時に、プロセッサコアがキャッシュメモリからデータを読出すと同時に、ヒットしたキャッシュエントリ上のダーティビットを強制的にクリアすることを実現する。こうすればスタック領域へのレジスタ待避・復帰処理を高速化することができる。



【特許請求の範囲】

【請求項1】 マイクロプロセッサと、
前記マイクロプロセッサに結合したキャッシュメモリと、
前記マイクロプロセッサに結合したメモリ制御装置と、
前記マイクロプロセッサに結合した外部メモリとを含み、
前記メモリ制御装置は、
前記マイクロプロセッサから前記外部メモリへの書込み要求が発生し、且つその時にキャッシュの不適合が起こった場合でも、前記外部メモリから前記キャッシュメモリへのリフィル動作を行うことなく、前記マイクロプロセッサから前記キャッシュメモリへの書込み動作を実現する制御手段を含むことを特徴とするキャッシュ装置。

【請求項2】 マイクロプロセッサと、
前記マイクロプロセッサに結合したキャッシュメモリと、
前記マイクロプロセッサに結合したメモリ制御装置と、
前記マイクロプロセッサに結合した外部メモリとを含み、
前記メモリ制御装置は、
前記マイクロプロセッサが前記外部メモリからの読み込み要求が発生し、且つその時にキャッシュが適合した場合に、前記キャッシュメモリから前記マイクロプロセッサに読み込み動作を行うと同時に、適合したキャッシュエントリ上にあるダーティビットを強制的にリセットする制御手段を含むことを特徴とするキャッシュ装置。

【請求項3】 前記マイクロプロセッサは、
スタック領域に対して複数のレジスタを連続的にプッシュする場合に、前記メモリ制御装置に対してリフィル動作を行わないようにする制御信号を出力することで、複数レジスタのプッシュ処理を高速に行うことを特徴とする請求項1記載のキャッシュ装置。

【請求項4】 前記マイクロプロセッサは、
スタック領域に対して複数のレジスタを連続的にプッシュする場合に、現在のスタックポインタの値が前記キャッシュメモリのラインサイズ境界に合っていない場合にスタックポインタを適度な量だけ底上げすることで、スタックポインタの値を自動的にラインサイズ境界に合わせることを特徴とする請求項3記載のキャッシュ装置。

【請求項5】 前記マイクロプロセッサは、
スタック領域に対して複数のレジスタを連続的にプッシュする場合に、前記キャッシュメモリのラインサイズ境界に合わせる前のスタックポインタの値を、他のレジスタと共にスタック領域にプッシュすることを特徴とする請求項4記載のキャッシュ装置。

【請求項6】 前記マイクロプロセッサは、
スタック領域から複数のレジスタを連続的にポップする場合に、前記キャッシュメモリからデータを読み込むと同時に、前記メモリ制御装置に対して適合したキャッシュ

エントリのダーティビットを強制的にリセットするための制御信号を出力することで、将来的に発生する可能性のあった前記キャッシュメモリから前記外部メモリへのライトバック動作を行わないようにすることを特徴とする請求項2記載のキャッシュ装置。

【請求項7】 前記マイクロプロセッサは、
スタック領域から複数のレジスタを連続的にポップする場合に、プッシュするときに保存した値を持つスタックポインタ値を他のレジスタと共にポップすることで、前記キャッシュメモリのラインサイズ境界に合わせる前のスタックポインタ値を復元することを特徴とする請求項6記載のキャッシュ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般にキャッシュ機構を伴うマイクロプロセッサに関し、特にスタック領域へのメモリアクセスにおいて好適なメモリ制御方法を実現するキャッシュ装置に関する。

【0002】

【従来の技術】 通常、プロセッサが実行すべき命令は主メモリに保存され、プロセッサ上でプログラムを走らせたり又は実行すると、その命令が主メモリから呼び出されてプロセッサへ送り出され、ここで実行される。この過程は貴重な時間を消費する。

【0003】 プロセッサにそのプロセッサで使用するためのキャッシュメモリを提供することが、プロセッサの命令実行速度を効率的に加速する1つの方法であることは公知である。このようなキャッシュメモリは主メモリの大きさと比較すると比較的小さなメモリである。しかし、主メモリに比べてアクセス時間が大幅に高速のメモリをキャッシュメモリに用いることにより、最も頻繁に使用される命令及びデータへの相対的に迅速なアクセスを実現することができる。典型的なマイクロプロセッサなどでは、主メモリを安価だが比較的低速なDRAMで、キャッシュメモリを高価だが高速なSRAMで構成している。

【0004】 キャッシュの主な動作原理は、マイクロプロセッサが実行のために主メモリから命令及びデータを呼出すと、これらはキャッシュメモリ内にも格納される。こうすればマイクロプロセッサは比較的最近参照した命令及びデータを必要とする場合、2度目以降のアクセスでは低速の主メモリから情報を取り出すのではなく、高速のキャッシュメモリからその情報を迅速に取り出すことができる。

【0005】 キャッシュメモリ内には、格納されているデータが主メモリ上のどのデータをキャッシングしたものかを記憶するための情報として、タグアドレス領域がある。タグアドレスはキャッシュのエントリ毎に存在する。マイクロプロセッサはアドレスの形態で命令又はデータを要求し、キャッシュ回路はマイクロプロセッサ

が要求したアドレス値と、キャッシュメモリ内の全タグアドレス値とを比較することで、キャッシュヒット又はキャッシュミスの判定を行う。

【0006】キャッシュがヒットした場合、マイクロプロセッサはキャッシュメモリから情報を直接取り出すことができる。一方、キャッシュミスが発生した場合は、キャッシュ回路は主メモリへのメモリサイクルを生成して必要なデータ情報を取得しなければならない。この主メモリへのメモリサイクルの間、マイクロプロセッサは待たされる状態となり、貴重な時間を消費する。更にキャッシュミスが発生した場合は、現在キャッシュメモリ内に格納されているデータを主メモリへ書き戻し、次にキャッシュされる情報のために領域を明け渡さなければならない。この処理においても、主メモリへのメモリサイクルの間は貴重な時間を消費する。

【0007】

【発明が解決しようとする課題】 以上のようなキャッシュ機構を実装したマイクロプロセッサにおいて、スタック領域に複数のレジスタを連続的にプッシュする場合を考える。仮にマイクロプロセッサのレジスタ長を32ビット（4バイト分）、キャッシュのラインサイズを16バイト、スタックへプッシュすべきレジスタをR0～R3（16バイト分）の4個とする。この条件で4つのレジスタを全てスタックへプッシュする場合を考える。

【0008】まずマイクロプロセッサはメモリのスタック領域に対して、1つ目のレジスタR0の値を書き込む要求を生成する。ここでキャッシュミスが発生した場合、リフィル対象となるタグエントリを特定し、既にそこにあるキャッシュ情報をダーティビットの状態に従って主メモリへと書き戻す。次に主メモリ上のスタック領域のうち、キャッシュのラインサイズ分16バイトに相当する量をキャッシュメモリ上に転送する（リフィル）。その後、R0レジスタの値をキャッシュメモリ上に書き込む。

【0009】次にマイクロプロセッサは続くR1～R3レジスタを順にメモリに書き込む要求を生成する。ここでは先ほどのリフィル動作によってキャッシュは必ずヒットするため、主メモリをアクセスすることなくR1～R3レジスタの値は順にキャッシュ上に書き込まれることになる。

【0010】以上の処理によってR0～R3のレジスタの値は全てキャッシュメモリ上に書き込まれ、16バイト分の書き込み作業を行ったことになる。しかし、最初のR0レジスタの書き込み時に発生していたリフィル動作によって、取得した主メモリの情報16バイトは全て上書きされたことになる。従ってリファイル時に無駄なメモリアクセス時間を消費していたこととなる。

【0011】又、スタック領域から複数のレジスタに値を連続してポップする場合も同様である。ここでキャッシュがヒットした場合には、マイクロプロセッサが容易

にR0～R3のレジスタ値をポップすることが可能である。しかし、プッシュ時に書き込み動作を行っているため、キャッシュヒットしたタグのダーティビットはセットされている可能性がある。もし、このダーティビットがセットされたままだと、将来このキャッシュ情報がバージされる時には主メモリへのライトバック動作が行われてしまう。しかし、すでにポップしたスタック上の情報は既に未使用データであるため、ライトバックの必要はない。このデータ情報をライトバックすることによって無駄な時間を消費していたことになる。

【0012】よって、本発明の1つの目的はキャッシュ機構を実装したマイクロプロセッサにおいて、スタック領域に対する複数レジスタの連続的なプッシュ作業を高速に行うためのメモリ制御手段を備えたキャッシュ装置を提案することである。又同様に、スタック領域から複数レジスタの連続的なポップ作業を高速に行うためのメモリ制御手段を備えたキャッシュ装置を提案することである。

【0013】

【課題を解決するための手段】 本願の請求項1の発明は、マイクロプロセッサと、前記マイクロプロセッサに結合したキャッシュメモリと、前記マイクロプロセッサに結合したメモリ制御装置と、前記マイクロプロセッサに結合した外部メモリとを含み、前記メモリ制御装置は、前記マイクロプロセッサから前記外部メモリへの書き込み要求が発生し、且つその時にキャッシュの不適合が起こった場合でも、前記外部メモリから前記キャッシュメモリへのリフィル動作を行うことなく、前記マイクロプロセッサから前記キャッシュメモリへの書き込み動作を実現する制御手段を含むことを特徴とするものである。

【0014】本願の請求項2の発明は、マイクロプロセッサと、前記マイクロプロセッサに結合したキャッシュメモリと、前記マイクロプロセッサに結合したメモリ制御装置と、前記マイクロプロセッサに結合した外部メモリとを含み、前記メモリ制御装置は、前記マイクロプロセッサが前記外部メモリからの読み込み要求を発生し、且つその時にキャッシュが適合した場合に、前記キャッシュメモリから前記マイクロプロセッサに読み込み動作を行うと同時に、適合したキャッシュエントリ上にあるダーティビットを強制的にリセットする制御手段を含むことを特徴とするものである。

【0015】本願の請求項3の発明は、請求項1のキャッシュ装置において、前記マイクロプロセッサは、スタック領域に対して複数のレジスタを連続的にプッシュする場合に、前記メモリ制御装置に対してリフィル動作を行わないようにする制御信号を出力することで、複数レジスタのプッシュ処理を高速に行うことを特徴とするものである。

【0016】本願の請求項4の発明は、請求項3のキャッシュ装置において、前記マイクロプロセッサは、スタ

ック領域に対して複数のレジスタを連続的にプッシュする場合に、現在のスタックポインタの値が前記キャッシュメモリのラインサイズ境界に合っていない場合にスタックポインタを適度な量だけ底上げすることで、スタックポインタの値を自動的にラインサイズ境界に合わせることを特徴とするものである。

【0017】本願の請求項5の発明は、請求項4のキャッシュ装置において、前記マイクロプロセッサは、スタック領域に対して複数のレジスタを連続的にプッシュする場合に、前記キャッシュメモリのラインサイズ境界に合わせる前のスタックポインタの値を、他のレジスタと共にスタック領域にプッシュすることを特徴とするものである。

【0018】本願の請求項6の発明は、請求項2のキャッシュ装置において、前記マイクロプロセッサは、スタック領域から複数のレジスタを連続的にポップする場合に、前記キャッシュメモリからデータを読み込むと同時に、前記メモリ制御装置に対して適合したキャッシュエントリのダーティビットを強制的にリセットするための制御信号を出力することで、将来的に発生する可能性のあった前記キャッシュメモリから前記外部メモリへのライトバック動作を行わないようにすることを特徴とするものである。

【0019】本願の請求項7の発明は、請求項6のキャッシュ装置において、前記マイクロプロセッサは、スタック領域から複数のレジスタを連続的にポップする場合に、プッシュするときに保存した値を持つスタックポインタ値を他のレジスタと共にポップすることで、前記キャッシュメモリのラインサイズ境界に合わせる前のスタックポインタ値を復元することを特徴とするものである。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。図1は本発明の実施の形態であるキャッシュ装置の構成を示している。キャッシュ装置はマイクロプロセッサのプロセッサコア101、キャッシュ回路102、バス制御ユニット103、主メモリ104からなる。プロセッサコア101はアドレスバス及びデータバスを介してキャッシュ回路102、バス制御ユニット103と接続されている。更にプロセッサコア101はNORFLとCLRDTの2つの制御信号を出力し、キャッシュ回路102に入力されている。前者のNORFL信号は、キャッシュミスが発生しても主メモリ104からキャッシュメモリへのリフィル処理を行わないようするための制御信号である。後者のCLRDT信号は、プロセッサコア101がキャッシュ回路102からデータを取得した際に該当するキャッシュエントリ上のダーティビット（図3参照）をリセットするための制御信号である。バス制御ユニット103は、プロセッサコア101又はキャッシュ回路102からの要求

に従って主メモリ104をアクセスし、主メモリ104から得た情報をプロセッサコア101又はキャッシュ回路102に提供する。尚、プロセッサコア101はレジスタアレイ105を内蔵しており、レジスタアレイ105は汎用レジスタR0、R1、R2、R3、プロセッサステータスワードPSW、スタックポインタSP、プログラムカウンタPC、テンポラリレジスタtmpから構成される。

【0021】キャッシュ回路102はキャッシュメモリ及びメモリ制御装置から成り立っており、図2にその内部構成を示す。アドレスバスに乗っているアドレス値はアドレスフィールド201で示すようにビット単位でその役割が決められている。下位ビットはワードセレクト信号として、中位ビットはインデックスセレクト信号としてキャッシュメモリアレイ202に接続される。上位ビットはタグアドレス比較器203に入力され、キャッシュメモリアレイ202から出力されるキャッシュメモリ内のアドレスタグ値と比較され、キャッシュがヒットしたかミスしたかが判定される。ここでキャッシュがヒットした場合は、タグアドレス比較器203のうち最低1つがアサートし、その信号はデータセクタ205に入力され、同時にキャッシュメモリアレイ202から入力されるキャッシュデータを選別して、ヒットしたキャッシュの情報をデータバスに乗せる。一方、キャッシュがミスした場合は、タグアドレス比較器203の出力は全てインアクティブとなり、この出力はキャッシュ制御ユニット204で受理される。キャッシュミスを受理したキャッシュ制御ユニット204は、主メモリ104から必要なデータを取得し、取得したデータをキャッシュメモリアレイ202に登録する。次に登録されたデータをデータセクタ205を経由してデータバスに乗せる。

【0022】図3はキャッシュメモリアレイ202の内部構成を示している。図は4Kバイトの容量を持つ4ウェイセットアソシアティブ方式のキャッシュ構成である。タグメモリ301は64のエントリを持ち、各エントリはデータアドレスの31～10ビット（22ビット）を格納するタグアドレスフィールドADDR-TAG、有効なエントリであるかどうかを示すバリッドビット（V）、エントリに書込みがあったことを示すダーティビット（D）からなる。データメモリは16バイト単位でデータを保持し、1ウェイ（way）当たりのデータメモリは1Kバイトで合計4Kバイトである。データメモリのラインサイズは16バイトであり、エントリ数は64である。主メモリ104からキャッシュメモリアレイ202へのデータ転送は16バイト（128ビット）単位で行われ、キャッシュメモリアレイ202からプロセッサコア101へのデータ転送は32ビット単位で行われる。ライトバックバッファは、タグライトバックバッファ303とデータライトバックバッファ304とからなり、キャッシュ

メモリアレイ 202 上のデータを主メモリ 104 にライトバックする際に、そのデータを一時的に保持するために用いられる。

【0023】次に実施の形態によるマイクロプロセッサの動作を、図4を用いて説明する。まず、スタックメモリイメージは401に示した状態であり、スタックポインタSPは0x2818を指している。この状態でマイクロプロセッサが全レジスタを連続的に待避する命令を実行する。以下はレジスタR0、R1、R2、R3、PSWをSPが示す領域に順に格納していくアセンブラ命令である。

push [r0,r1,r2,r3,psw]

本実施の形態のマイクロプロセッサはこのとき

- 1) SPレジスタの値をtmpレジスタに保存する。
- 2) SP値をキャッシュ回路のラインサイズ(16バイト)境界まで底上げする。
- 3) NORFL制御信号をアクティブにする。
- 4) tmpレジスタの値をSPが指す領域へ格納し、 $SP \leftarrow SP - 4$ を実行する。
- 5) 続いてR0、R1、R2、R3、PSWレジスタの順でSPが指す領域へ格納する。このとき、1レジスタを格納する毎に $SP \leftarrow SP - 4$ を実行する。
- 6) 3)でアクティブにしたNORFL制御信号をインアクティブな状態に戻すというシーケンスで上記プッシュ命令を実行する。

【0024】1)はプロセッサコア内部でSPレジスタからtmpレジスタにデータを転送するのみである。

2)はSP値をキャッシュ回路のラインサイズまで底上げすることでレジスタ待避をキャッシュエントリの端(データメモリ302に示した図の中のW3の位置)からデータの書込みを実施するためである。具体的にはSP=0x2818の状態からSP=0x2810まで底上げする。

3)は本プッシュ命令実行中は主メモリ104からキャッシュメモリ202へのリフィル処理を行わないようにするためにNORFL制御信号をアサートする。4)ではtmp=0x2818の値をスタックに待避することになる。このとき、キャッシュ回路102の内部ではキャッシュの判定が行われる。

【0025】ここでキャッシュミスが発生した場合はLRU論理によってページされるべきキャッシュのエントリ番号が決定され、該当エントリのアドレスタグ情報及びデータ情報がライトバックバッファ303及び304に一時的に格納される。次にNORFL信号は既にアサートされているのでリフィル処理は行われず、先ほどページされたエントリのデータメモリにtmpレジスタの値0x2818が上書きされる。このときアドレスタグ領域も新規に上書きされる。

【0026】一方、同4)でキャッシュがヒットした場合は、ヒットしたキャッシュエントリのデータメモリ上に直接、レジスタの値tmp=0x2818が上書きされる。

5)では4)に引続き、残りのレジスタの値を順に格納していく。この途中に4)で記述したようなキャッシュミスが発生した場合でも、4)同様リフィル処理は行われない。最後に6)では3)でアクティブにしたNORFL制御信号をインアクティブな状態に戻す。尚、4)及び5)でレジスタの値をキャッシュメモリ上に上書きしている最中は、外部バスが開放されているため、キャッシュ制御ユニット204はデータライトバックバッファ304上のデータを、タグライトバックバッファ303が示す主メモリ上のアドレス位置へライトバック処理を行うようにバス制御ユニット103に要求する。こうすると、主メモリ104からキャッシュメモリ202にリフィルする処理を省略することができ、当プッシュ命令にかかる実行サイクルが削減され、高速なレジスタ待避が可能となる。最終的にレジスタが待避された後のスタックフレームのメモリイメージを402に示す。

【0027】次にスタックから複数のレジスタを連続的にポップする場合について示す。まずスタックフレームのメモリイメージは402に示した状態にある。このときスタックポインタSPは0x27F8を指している。この状態でマイクロプロセッサが全レジスタを連続的に復帰する命令を実行する。以下はレジスタPSW、R3、R2、R1、R0、SPを現在のSPが示す領域から順に取出すアセンブラ命令である。

pop [r0,r1,r2,r3,psw]

本実施の形態のマイクロプロセッサはこのとき、

- 1) CLRDT制御信号をアクティブにする。
- 2) PSWレジスタの値をSPが示す領域から読出し、 $SP \leftarrow SP + 4$ を実行する。
- 3) 続いてR3、R2、R1、R0、SPレジスタの順でSPが示す領域から読出す。このとき、1レジスタを読出す度に $SP \leftarrow SP + 4$ を実行する。
- 4) 1)でアクティブにしたCLRDT制御信号をインアクティブな状態に戻す。

というシーケンスで上記ポップ命令を実行する。1)は本ポップ命令を実行後にキャッシュのタグメモリ301上にある該当エントリのダーティビットDをリセットするためである。2)はスタックに積まれているPSWの値を読出し、プロセッサコア内のPSWレジスタ105に格納する。このときキャッシュ回路102の内部ではキャッシュの判定が行われる。ここでキャッシュミスが発生した場合はLRU論理によってページされるべきキャッシュエントリ番号が決定され、該当エントリのアドレスタグ情報及びデータ情報がライトバックバッファ303及び304に一時的に格納される。次にNORFL信号は特にアサートされていないので主メモリ104からキャッシュメモリ202に必要な情報が取り込まれる(リフィル処理)。

【0028】一方、キャッシュがヒットした場合、もしくは先のリフィル処理終了後は、キャッシュメモリ20

2内に存在するPSWの内容がデータセクタ205を経由してデータバスに乗り、プロセッサコア101にPSWの内容が渡される。3)では2)に引き続き、残りのレジスタR3、R2、R1、R0、SPの値を順にキャッシュメモリ202から取出す。この途中でキャッシュミスが発生した場合も2)の時と同様に主メモリ104からキャッシュメモリ202へのリフィル処理が行われる。尚、2)及び3)でキャッシュメモリ202からプロセッサコア101にデータを取出していく際に、その取出したデータ情報がキャッシュのデータメモリ302のW3に該当するワードデータであった場合は、そのキャッシュエントリ上にあるレジスタ情報は既にプロセッサコア101内のレジスタアレイ105に取り込まれたことになる。このときCLRDT信号がアサートされているので、該当キャッシュエントリのアドレスタグフィールド上にあるダーティビットDをクリアする。こうすることで、将来該キャッシュエントリがバージされるときにライトバックが発生しなくなる。本ポップ命令で例えばR3及びSPレジスタをキャッシュメモリ202から読出す時にダーティビットDのクリア処理が行われる。最後に4)では1)でアクティブにしたCLRDT制御信号をインアクティブな状態に戻す。

【0029】以上のようなポップ処理を行うことにより、キャッシュメモリ202から主メモリ104にライトバックする処理を極力削減することができ、当ポップ命令にかかる実行サイクルが削減され、高速なレジスタ復帰が可能となる。最終的にレジスタが復帰された後のスタックフレームのメモリイメージは401に示す通りである。

【0030】以上、本発明のいくつかの好適な特徴だけを図示したが、多くの変更及び変化が行われてもよい。よって本発明の請求の範囲は、本発明の主旨に含まれる全てのこのような変更及び変化を包括するものである。

【0031】例えば、上記でプッシュ命令の詳細な動作シーケンスを示したが、スタックポインタSPの加減算処理はレジスタの待避ごとに行うのではなく、予めレジスタ待避に必要なスタックフレームを確保した後に、SP相対でレジスタを待避するような処理を行ってもよい。又ポップ命令においても、プッシュ命令と同様に予め必要なレジスタ復帰を全て行ってから、最後にまとめてスタックフレームの削除を行ってもよい。更に、CLRDT制御信号についても上記のポップ命令の例では、ポップ命令実行中は常にCLRDT信号がアサートされている状態であり、実際にキャッシュエントリのダーティビットをクリアするかどうかはキャッシュ回路102の内部で判定をしている。しかし、この判定をプロセッサコア101内部で行い、ダーティビットのクリアが必要な時だけCLRDT信号をアサートするようにし、キャッシュ回路102ではCLRDT信号がアクティブなら常にダーティビットをクリアするような構成になっ

ても本発明の請求の範囲に該当するキャッシュ装置であることを意味する。

【0032】

【発明の効果】本願の請求項1、3、4、5の発明は、キャッシュ機構を実装しているマイクロプロセッサシステムにおいて、スタック領域に対して複数レジスタの値を連続的に待避させる際に、キャッシュメモリと主メモリとの間のデータ転送を削減し、より高速にレジスタの待避処理を実現するメモリ制御装置を備えたキャッシュ装置とすることができるという効果が得られる。

【0033】本願の請求項2、6、7の発明は、キャッシュ機構を実装しているマイクロプロセッサシステムにおいて、スタック領域から複数レジスタの値を連続的に復帰する際に、キャッシュメモリと主メモリとの間のデータ転送を削減し、より高速にレジスタの復帰処理を実現するメモリ制御装置を備えたキャッシュ装置とすることができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態であるキャッシュ装置を示すブロック図である。

【図2】実施の形態におけるキャッシュ回路の内部構成を示すブロック図である。

【図3】実施の形態におけるキャッシュメモリアレイの内部構成を示すブロック図である。

【図4】実施の形態におけるスタック領域のメモリイメージ図である。

【符号の説明】

101 プロセッサコア
 102 キャッシュ回路
 103 バス制御ユニット
 104 主メモリ
 105 レジスタアレイ
 201 アドレスフィールド
 202 キャッシュメモリアレイ
 203 タグアドレス比較器
 204 キャッシュ制御ユニット
 205 データセクタ
 301 タグメモリ
 302 データメモリ
 303 タグライトバックバッファ
 304 データライトバックバッファ
 401 レジスタ待避前のスタック領域メモリイメージ
 402 レジスタ待避後のスタック領域メモリイメージ
 R0～R3 汎用レジスタ
 PSW プロセッサステータスワード
 PC プログラムカウンタ
 SP スタックポインタ
 tmp テンポラリレジスタ
 NORFL リフィル処理抑制制御信号
 CLRDT ディーティビットクリア制御信号

TAG アドレスタグフィールド

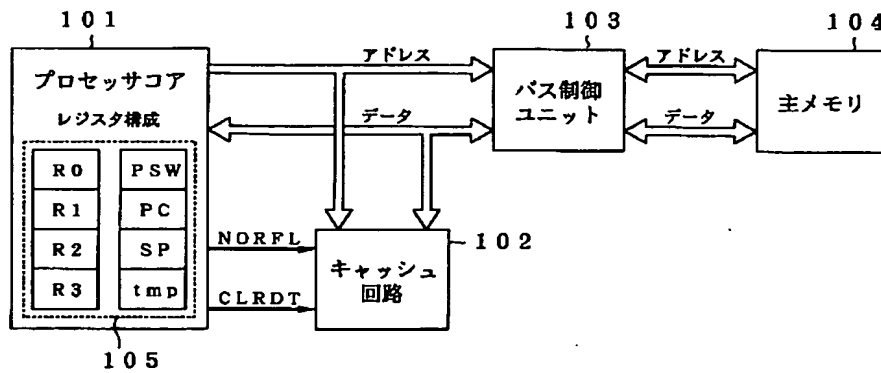
D ダーティビット

INDEX アドレスインデックスフィールド

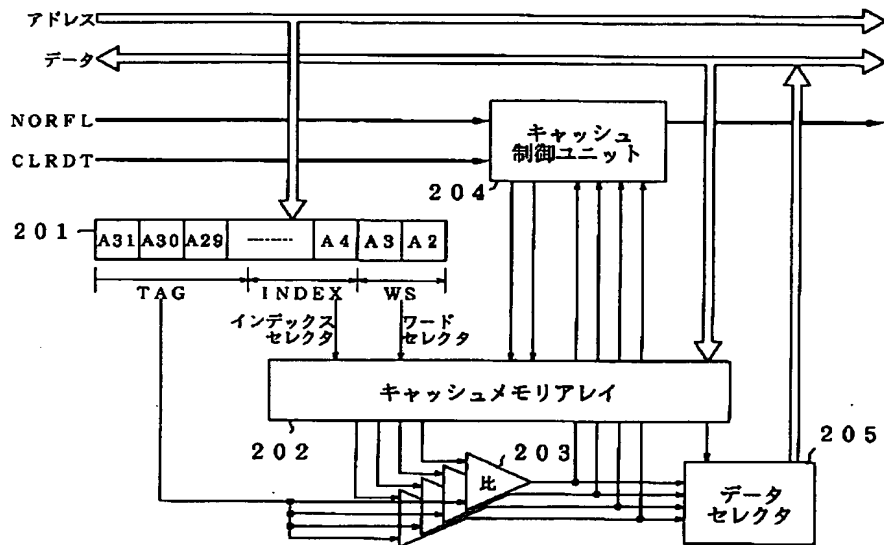
V バリッドビット

WS ワードセレクトフィールド

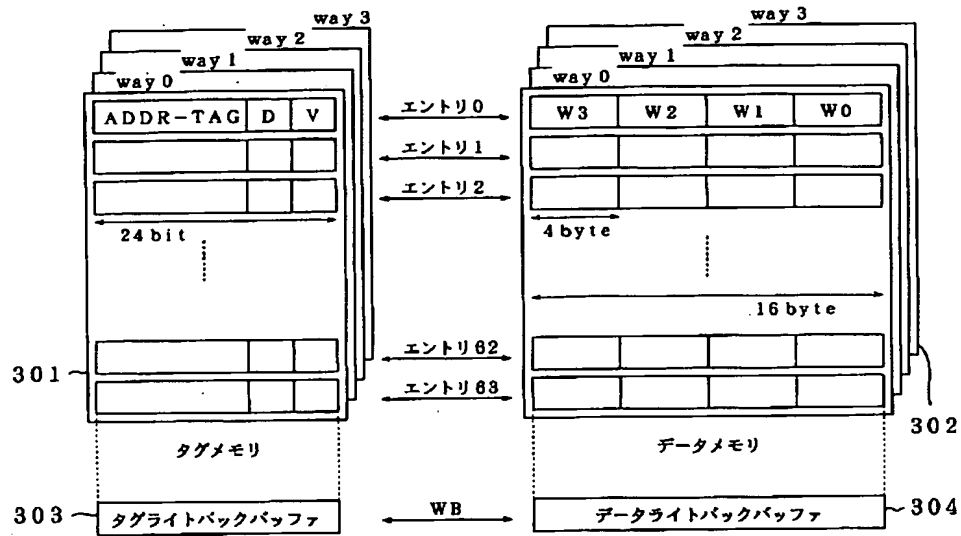
【図1】



【図2】



【図3】



【図4】

